

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-157151

(P2004-157151A)

(43) 公開日 平成16年6月3日(2004.6.3)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 330Z	2H092
G02F 1/1343	G09F 9/30 338	3K007
G02F 1/1345	G02F 1/1343	5C094
G09F 9/00	G02F 1/1345	5G435
H05B 33/10	G09F 9/00 338	
審査請求 未請求 請求項の数 10 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2002-319832 (P2002-319832)
 (22) 出願日 平成14年11月1日 (2002. 11. 1)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100101683
 弁理士 奥田 誠司
 (72) 発明者 若崎 環樹
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 小林 和樹
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 佐藤 崇
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

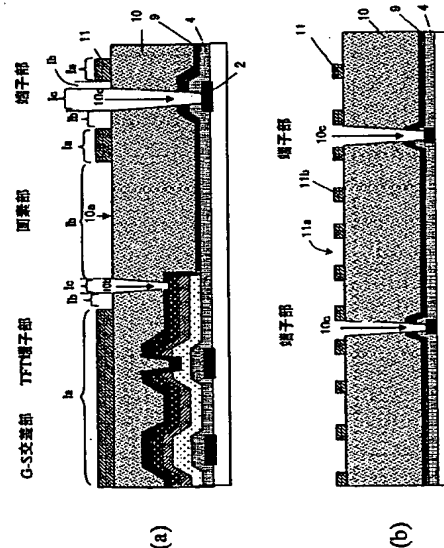
(54) 【発明の名称】 表示装置用マトリクス基板およびその製造方法

(57) 【要約】

【課題】 簡便な製造プロセスで、端子部間にリークや短絡が発生しない表示装置用のマトリクス基板の製造方法を提供する。

【解決手段】 表示装置用マトリクス基板の製造方法は、基板上に回路要素を形成する工程と、回路要素を覆う層間絶縁層を形成する工程と、層間絶縁層上に、親水性領域と 水性領域とを所定のパターンで形成する工程であって、親水性領域はそれぞれが周囲を 水性領域で囲まれた複数の親水性部を有し、複数の親水性部は、それぞれが複数の画素電極のそれぞれに対応して設けられた複数の第1親水性部と、それぞれが複数の端子部に対応して設けられた複数の第2親水性部と、それぞれが複数の端子部のうち互いの任意の隣接する端子部の間に設けられた複数の第3親水性部とを含み、複数の親水性部の任意の隣接する親水性部の間に位置する 水性領域の幅は 80 μm以下である 水性領域を形成する工程と、層間絶縁層上に、親水性を有する導電性材料を用いて、親水性領域に選択的に導電層を形成する工程とを包含する。

【選択図】 図6



【特許請求の範囲】

【請求項1】

基板と、基板上に形成された複数の画素電極と、前記複数の画素電極に信号を供給するための複数の配線を含む回路要素と、前記複数の配線のそれぞれの延設部に設けられた複数の端子部とを備える表示装置用マトリクス基板の製造方法であって、

(a) 基板上に前記回路要素を形成する工程と、

(b) 前記回路要素を覆う層間絶縁層を形成する工程と、

(c) 前記層間絶縁層上に、親水性領域と水性領域とを所定のパターンで形成する工程であって、前記親水性領域はそれぞれが周囲を水性領域で囲まれた複数の親水性部を有し、前記複数の親水性部は、それぞれが前記複数の画素電極のそれぞれに対応して設けられた複数の第1親水性部と、それぞれが前記複数の端子部に対応して設けられた複数の第2親水性部と、それぞれが前記複数の端子部のうち互いの任意の隣接する端子部の間に設けられた複数の第3親水性部とを含み、前記複数の親水性部の任意の隣接する親水性部の間に位置する前記水性領域の幅は $30\mu\text{m}$ 以下である水性領域を形成する工程と、

10

(d) 前記層間絶縁層上に、親水性を有する導電性材料を用いて、前記親水性領域に選択的に導電層を形成する工程と、
を包含する、マトリクス基板の製造方法。

【請求項2】

前記工程(b)は、親水性を有する材料を用いて層間絶縁層を形成する工程であって、

前記工程(c)は、前記層間絶縁層の表面上に、水性を有する材料を用いて水性層を形成する工程と、

20

前記水性層をパターンニングし、前記層間絶縁膜の表面を部分的に露出させることによって前記複数の親水性部を形成する工程と、

を包含する、請求項1に記載のマトリクス基板の製造方法。

【請求項3】

前記工程(d)の後で、前記水性層を除去する工程を更に包含する、請求項2に記載の基板の製造方法。

【請求項4】

前記工程(b)は親水性を有する材料を用いて層間絶縁層を形成する工程であって、前記水性領域となる部分が凸状の断面形状を有する表面プロファイルの層間絶縁層を形成する工程を包含し、

30

前記工程(c)は、前記層間絶縁層の表面の前記凸状の部分に選択的に水性を付与する工程を包含する、

請求項1から3のいずれかに記載のマトリクス基板の製造方法。

【請求項5】

前記工程(b)は感光性を有する材料を用いて層間絶縁層を形成する工程であって、

前記工程(c)は、フォトリソグラフィプロセスを用いて前記層間絶縁層にコンタクトホールを形成する工程とともに実行される、請求項1から4のいずれかに記載のマトリクス基板の製造方法。

40

【請求項6】

前記複数の親水性部の内の前記複数の第2親水性部以外は、実質的に前記複数の第1親水性部と同じパターンで配置されている、請求項1から5のいずれかに記載のマトリクス基板の製造方法。

【請求項7】

前記工程(d)は、前記層間絶縁層上に、導電性材料の溶液を付与する工程を包含する、請求項1から6のいずれかに記載のマトリクス基板の製造方法。

【請求項8】

請求項1から7のいずれかに記載の方法によって製造されたマトリクス基板。

【請求項9】

基板と、

50

基板上に形成された複数の画素電極と、
前記複数の画素電極に信号を供給するための複数の配線を含む回路要素と、
前記複数の配線のそれぞれの延設部に設けられた複数の端子部と、
を備える表示装置用マトリクス基板であって、
前記回路要素を覆う層間絶縁層と前記層間絶縁層上に形成された水性層とを更に有し、
前記水性層は複数の開口部を有し、前記複数の画素電極および前記複数の端子部は前記
複数の開口部内に形成されており、且つ、前記複数の開口部の内の任意の隣接する開口部
の間に位置する前記水性層の幅は30 μ m以下である、マトリクス基板。

【請求項10】

請求項8または9に記載のマトリクス基板を備えた表示装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に関し、特に、液晶表示装置などの表示装置に用いられるマトリクス
基板およびその製造方法に関する。

【0002】

【従来の技術】

近年、CRTに代わる表示装置として、液晶表示装置や有機EL表示装置などの薄型表示
装置(FPD)の利用が広まり、更なるコストの削減が望まれている。

20

【0003】

液晶表示装置に代表されるFPDは、画素を電気的にアドレスするための多数の電極を備
えたマトリクス基板を備えている。このマトリクス基板の製造には、真空を必要とする薄
膜堆積技術(真空蒸着、スパッタリング、CVD法など)およびフォトリソグラフィアロ
セスが広く利用されており、設備投資や設備の維持にコストがかかるとともに、生産性(ス
ループットおよび歩留まり)が低く、製造コストを押し上げる大きな要因となっている。

【0004】

そこで、液晶表示装置等の生産性の向上や、コスト削減のために、脱真空および/または
脱フォトリソグラフィアロセスを可能とする製造方法が検討されている。

30

【0005】

このような製造方法として、現在インクジェット法やスピンコート法など溶液状の材料を
基板等に塗布または印刷する技術を用いる方法が注目されている。

【0006】

例えば、特許文献1には、液晶表示装置用のマトリクス基板の画素電極を、フォトリソグ
ラフィアロセスを用いずに形成する技術を開示している。特許文献1に開示している方法
は、画素電極を形成する下地膜の濡れ性(水性/親水性)の違いを利用し、溶液状の導
電材料を下地膜の親水性部にのみ選択に形成する。従って、この方法を採用すると、画素
電極を構成する導電層の堆積に真空を必要とせず、また、導電層を画素電極の形にパター
ニングするためのフォトリソグラフィアロセスが不要となる。

40

【0007】

【特許文献1】

特開2002-98994号公報

【0008】

【発明が解決しようとする課題】

しかしながら、本発明者が検討した結果、特許公報1に開示されている方法を用いると、
マトリクス基板の配線に所定の電気信号(走査信号や表示信号など)を供給するための駆
動回路等と接続するための端子部の間でリークや短絡が発生するという問題があることが
わかった。

【0009】

種々検討した結果、上記の問題は、端子部の最上層を画素電極と同じ導電層(典型的には

50

ITO層)を用いて形成する場合に発生し、端子部間の距離が広いことに起因することになった。なお、マトリクス基板の端子部と駆動回路(COF実装されたIC)との電気的な接続を確実に行うために、一般に、隣接する端子部間の距離は40 μ m以上に設定されている。

【0010】

本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、簡便な製造プロセスで、端子部間にリークや短絡が発生しない表示装置用のマトリクス基板の製造方法を提供することにある。

【0011】

【課題を解決するための手段】

本発明のマトリクス基板の製造方法は、基板と、基板上に形成された複数の画素電極と、前記複数の画素電極に信号を供給するための複数の配線を含む回路要素と、前記複数の配線のそれぞれの延設部に設けられた複数の端子部とを備える表示装置用マトリクス基板の製造方法であって、(a)基板上に前記回路要素を形成する工程と、(b)前記回路要素を覆う層間絶縁層を形成する工程と、(c)前記層間絶縁層上に、親水性領域と水性領域とを所定のパターンで形成する工程であって、前記親水性領域はそれぞれが周囲を水性領域で囲まれた複数の親水性部を有し、前記複数の親水性部は、それぞれが前記複数の画素電極のそれぞれに対応して設けられた複数の第1親水性部と、それぞれが前記複数の端子部に対応して設けられた複数の第2親水性部と、それぞれが前記複数の端子部のうちの互いの任意の隣接する端子部の間に設けられた複数の第3親水性部とを含み、前記複数の親水性部の任意の隣接する親水性部の間に位置する前記水性領域の幅は30 μ m以下である水性領域を形成する工程と、(d)前記層間絶縁層上に、親水性を有する導電性材料を用いて、前記親水性領域に選択的に導電層を形成する工程とを包含し、そのことによって上記目的が達成される。

【0012】

ある好ましい実施形態において、前記工程(b)は、親水性を有する材料を用いて層間絶縁層を形成する工程であって、前記工程(c)は、前記層間絶縁層の表面上に、水性を有する材料を用いて水性層を形成する工程と、前記水性層をパターンニングし、前記層間絶縁膜の表面を部分的に露出させることによって前記複数の親水性部を形成する工程とを包含する。

【0013】

前記工程(d)の後で、前記水性層を除去する工程を更に包含してもよいし、前記水性層をそのまま残しておいてもよい。

【0014】

ある好ましい実施形態において、前記工程(b)は、親水性を有する材料を用いて層間絶縁層を形成する工程であって、前記水性領域となる部分が凸状の断面形状を有する表面プロフィールの層間絶縁層を形成する工程を包含し、前記工程(c)は、前記層間絶縁層の表面の前記凸状の部分に選択的に水性を付与する工程を包含する。

【0015】

ある好ましい実施形態において、前記工程(b)は、感光性を有する材料を用いて層間絶縁層を形成する工程であって、前記工程(c)は、フォトリソグラフィプロセスを用いて前記層間絶縁層にコンタクトホールを形成する工程とともに実行される。

【0016】

ある好ましい実施形態において、前記複数の親水性部の内の前記複数の第2親水性部以外は、実質的に前記複数の第1親水性部と同じパターンで配置されている。

【0017】

前記工程(d)は、前記層間絶縁層上に、導電性材料の溶液を付与する工程を包含する。

【0018】

本発明によるマトリクス基板は、上記のいずれかの方法によって製造されたことを特徴とする。

10

20

30

40

50

【0019】

本発明によるある局面のマトリクス基板は、基板と、基板上に形成された複数の画素電極と、前記複数の画素電極に信号を供給するための複数の配線を含む回路要素と、前記複数の配線のそれぞれの延設部に設けられた複数の端子部とを備える表示装置用マトリクス基板であって、前記回路要素を覆う層間絶縁層と前記層間絶縁層上に形成された水性層とを更に有し、前記水性層は複数の開口部を有し、前記複数の画素電極および前記複数の端子部は前記複数の開口部内に形成されており、且つ、前記複数の開口部の内の任意の隣接する開口部の間に位置する前記水性層の幅は $30\mu\text{m}$ 以下であることを特徴とする。

【0020】

本発明の表示装置は、上記のいずれかのマトリクス基板を備えることを特徴とする。

10

【0021】

【発明の実施の形態】

本発明は、上述した端子部の間におけるリークや短絡の発生が、隣接する端子部間の距離が $40\mu\text{m}$ 以上に設定されていることに起因し、隣接する親水性領域の間に形成された水性領域の幅が $30\mu\text{m}$ を超えると、下地膜上に付与される親水性溶液が水性領域上にも残存するという実験にから得られた知見に基づいている。

【0022】

本発明のマトリクス基板の製造方法は、基板と、基板上に形成された複数の画素電極と、複数の画素電極に信号を供給するための複数の配線を含む回路要素と、複数の配線のそれぞれの延設部に設けられた複数の端子部とを備える表示装置用マトリクス基板の製造方法である。表示装置は、例えば、アクティブマトリクス型液晶表示装置や有機EL表示装置である。回路要素は、典型的には、TFTなどのスイッチング素子や、スイッチング素子に接続された配線（ゲート線やソース線）を含む。また、画素電極は、典型的には、透過型および透過・反射両用型液晶表示装置における透明電極であるが、これに限られず、端子部の最上層と同時に形成される電極であれば本発明が適用され得る。

20

【0023】

本発明の製造方法は、(a)基板上に回路要素を形成する工程と、(b)回路要素を覆う層間絶縁層を形成する工程と、(c)層間絶縁層上に、親水性領域と水性領域とを所定のパターンで形成する工程と、(d)層間絶縁層上に、親水性を有する導電性材料を用いて、親水性領域に選択的に導電層を形成する工程とを包含する。ここで、工程(c)において、親水性領域が、それぞれが周囲を水性領域で囲まれた複数の親水性部を有し、複数の親水性部は、それぞれが複数の画素電極のそれぞれに対応して設けられた複数の第1親水性部と、それぞれが複数の端子部に対応して設けられた複数の第2親水性部と、それぞれが複数の端子部のうち互いの任意の隣接する端子部の間に設けられた複数の第3親水性部とを含み、複数の親水性部の任意の隣接する親水性部の間に位置する水性領域の幅が $30\mu\text{m}$ 以下である水性領域を形成する。

30

【0024】

すなわち、従来は、導電層を形成したい領域だけを親水性部（第1および第2親水性部）としていたために、端子部間に幅が $40\mu\text{m}$ 以上の水性領域が形成され、その結果、この幅の広い水性領域に導電層が形成されてしまい、リークやリークや短絡の問題が生じていたのに対し、本発明の製造方法においては、端子部の間にも、水性領域で周囲を囲まれた親水性部（第3親水性部）を形成し、且つ、水性領域の幅を $30\mu\text{m}$ 以下に設定しているため、水性領域上に導電層が形成されることがない。

40

【0025】

なお、水性領域および親水性領域は、親水性を有する導電性材料に対する接触角によって特徴付けられる。例えば、水性領域に対する接触角が 30° 以上で、親水性領域に対する接触角が 20° 以下となるように、導電性材料の溶液および下地膜（層間絶縁層）上の表面状態を制御すればよい。

【0026】

例えば、親水性を有する材料を用いて形成された層間絶縁層表面上に水性を有する材料

50

を用いて水性層を形成し、この水性層をパターンニングし、層間絶縁膜の表面を部分的に露出させることによって複数の親水性部を形成してもよい。

【0027】

または、親水性を有する層間絶縁層の表面の一部に選択的に水性を付与することによって、水性領域に包囲された複数の親水性部を形成してもよい。導電性材料は、溶液（液状）の形態で用いられるので、親水性部の周りの水性領域の方が凸状になっていることが好ましい。従って、水性領域となる部分が凸状の断面形状を有する表面フロファイルの層間絶縁層を形成し、この凸状の部分に選択的に水性を付与すると、水性を有する凸状部がリブとして機能し、導電性材料を含む溶液が親水性部内に安定に保持できる。なお、上述のように、層間絶縁層上に水性層を形成した場合は、導電性材料を含む溶液は、水性層の開口部内に安定に保持されるので、層間絶縁層に凸状部を形成する必要はない。

10

【0028】

親水性を有する導電性材料を用いて形成する導電性層と、層間絶縁層（下地膜）に基板上に形成された回路要素（TFTの電極や配線など）とを電気的に接続するために、層間絶縁層にコンタクトホールを形成する必要がある場合、感光性を有する材料（典型的にはポジ型）を用いて層間絶縁層を形成すること、製造プロセスを簡略化できるので好ましい。また、感光性を有する材料からなり層間絶縁層上に形成された水性層をパターンニングするときに、水性層には感光性を有しない材料を用いて、層間絶縁層の感光性を利用することができ、すなわち、水性層の除去する部分（開口部となる部分）の下部に位置する層間絶縁層の一部を選択的に除去する過程で、その上に形成された水性層を選択的に除去することができる。勿論、コンタクトホールとなる部分以外では、水性層の開口部内に層間絶縁層が存在する必要があるので、層間絶縁層はその表面付近だけが除去されればよい。

20

【0029】

例えばポジ型感光性樹脂を用いて層間絶縁層を形成した場合、水性層を残す部分を非露光とし、水性層を除去し層間絶縁層の表面を露出させる部分は中間露光とし、コンタクトホールを形成する部分を完全露光とすることによって、1回のフォトリソグラフィーフロセスで、コンタクトホールを形成するとともに、所定のパターンで配置された親水性領域と水性領域とを形成することができる。

30

【0030】

端子部（第2親水性部）の間に形成する親水性部（第3親水性部）は、画素電極に対応して設けられる親水性部（第1親水性部）と同じパターンで配置すれば、フォトマスクの設計を簡単に出来る利点がある。また、端子部の間に限られず、端子部以外の全ての領域について、第1親水性部と同じパターンで親水性部を形成する構成を採用すると、フォトマスクのパターンを更に単純化することが出来る。

【0031】

以下、本発明の実施形態による表示装置用マトリクス基板の構成および製造方法を説明するが、本発明はこれに限定されるものではない。以下では、スイッチング素子としてTFTを備えたアクティブマトリクス型液晶表示装置用のマトリクス基板を例示するが、有機EL表示装置や電気泳動表示装置など、画素を電気的にアドレスするための多数の電極を備えた表示装置用のマトリクス基板に広く適用できる。

40

【0032】

図1は、アクティブマトリクス型液晶表示装置用のTFTを備えたマトリクス基板の模式的な平面図を示す。図1では、1つの画素に対応する領域を誇張して図示している。

【0033】

マトリクス基板は、表示装置の各画素に対応する画素電極（画素部）と、画素電極に表示信号を供給するためのソース線（「表示信号線」と呼ばれることもある。）と、画素電極に表示信号を供給するタイミングを制御するTFT（TFT部）と、TFTのオン/オフ動作を制御する走査信号をTFTのゲートに供給するためのゲート線（「走査信号線」と

50

呼ばれることもある。)とを基板(典型的にはガラス基板)上に有している。複数の画素部から構成されるマトリクス基板の領域を表示領域と呼ぶことにする。マトリクス基板は、更に、ゲート線およびソース線にそれぞれ対応する信号を供給するための駆動回路等と接続するための端子部を有している。この端子部は、それぞれの配線(ゲート線およびソース線)の延設部として、表示領域外の基板の周辺部に設けられている。端子部が形成される基板の領域を端子領域と言うこともある。なお、図1においては、ソース線に対応する端子部だけを示しているが、ゲート線に対応する端子部も設けられている。

【0034】

以下、図2から図7に示す断面図は、図1におけるA-A'線に沿った断面図およびB-B'線に沿った断面図である。ただし、A-A'線に沿った断面図は、ゲート線とソース線との交差部(以下、「G-S交差部」という。)、TFT部、画素部および端子部を一括して模式的に示している。また、図11および図12に示す比較例のマトリクス基板の断面図も同様である。

10

【0035】

図2(a)~(c)は、図1のA-A'線に沿った断面図に対応し、ゲート線、TFTのゲート電極およびゲート線の端子部の製造工程を示している。

【0036】

まず、図2(a)に示すように、基板(例えばガラス基板)1上に、ゲート用導電層2を堆積する。ゲート用導電層2は、例えば、クロム、アルミニウム、タンタル等の金属層であり、スパッタリング法等で形成される。

20

【0037】

次に、図2(b)に示すように、ゲート用導電層2上に所定のパターンのレジスト層3を形成する。この工程は公知のフォトリソグラフィプロセスで実行される。

【0038】

この後、図2(c)に示すように、レジスト層3をエッチングレジストとして、ゲート用導電層2をエッチングすることによって、所望のパターニングし、ゲート線、ゲート線と一体に形成されたゲート電極と端子部が形成される。

【0039】

次に、図3(a)に示すように、ゲート絶縁膜4、第1半導体層5および第2半導体層6を3層連続して積層成膜する。この後、さらに、ソース・ドレイン用導電層7をプラズマCVD法やスパッタリング法などで連続して積層成膜する。ゲート絶縁膜4は、たとえば窒化シリコン(SiN_x)膜などで形成する。第1半導体層5は、アモルファスシリコン(a-Si)膜で形成する。第2半導体層6は、n型不純物を高濃度にドーパしたn⁺-Si膜で形成する。ソース・ドレイン用導電層7は、クロム、アルミニウム、タンタル等の金属で形成する。

30

【0040】

次に、図3(b)に示すように、全体にレジストを塗布した後、スリットマスク等を用いて露光量分布を調整し、所定のパターンを有し、且つ、厚さが位置によって異なるレジスト層8を形成する。この工程は、図9を参照しながら後に詳述する。

【0041】

レジスト層8は、図3(b)に示したように、画素部および端子部には形成しないで、TFTのチャネル部5aに相当する部分は薄肉部8aとして形成し、その他の部分は厚く形成する。すなわち、薄肉部8a以外のレジスト層の厚さは第1の厚さ以上であり、薄肉部8aは第1の厚さより薄い第2の厚さとして形成する。

40

【0042】

次に、図3(c)に示すように、レジスト層8に覆われていない部分のゲート絶縁膜4、第1半導体層5および第2半導体層6の3つの層と、ソース・ドレイン用導電層7とを全てエッチングで除去する。

【0043】

このあと、図4(a)に示すように、図3(c)に示す残存しているレジスト層8の全体

50

の厚さアッシング等によって減少させ、薄肉部 8a に対応するチャネル部 5a の位置でソース・ドレイン用導電層 7 の表面を露出させる。

【0044】

次に、残存するレジスト層 8 をマスクとして利用したエッチングによって、図 4 (b) に示すように、ソース・ドレイン用導電層 7 をソース電極とドレイン電極とに分離するとともに、チャネル部 5a の第 1 半導体層 5 を所望の厚さまでエッチングを行う。チャネル部 5a では、第 1 半導体層 5 の厚さが調整され、第 2 半導体層 6 およびソース・ドレイン用導電層 7 は除去される。この後、レジスト層 8 を除去すると、図 4 (c) に示す状態になる。

【0045】

次に、図 5 (a) に示すように、得られた基板のほぼ全面にパッシベーション膜 9 を形成する。パッシベーション膜 9 は、例えば窒化シリコンによる保護膜であり、例えば、CVD 法やスパッタリング法等によって形成される。

【0046】

この後、パッシベーション膜 9 の上に感光性樹脂（例えばアクリル系）を塗布し、図 5 (b) に示すように、表面が平坦化された感光性樹脂膜 10 が得られる。この感光性樹脂膜は、基板上に形成された TFT の電極や配線（ゲート線やソース線）などの回路要素と画素電極とを電氣的に絶縁する層間絶縁層として機能する。感光性樹脂膜 10 は、必要に応じて、80℃～100℃の温度でフリベークされる。このとき、感光性樹脂膜 10 の表面が親水性となるように材料を選択する。あるいは、感光性樹脂膜 10 の表面を親水性に改質してもよいが、親水性を有する樹脂を用いて感光性樹脂膜 10 を形成する方がプロセスを簡略化することができる。

【0047】

次に、図 5 (c) に示すように、感光性樹脂膜 10 上に水性層を形成するための水性樹脂膜 11 を形成する。水性樹脂膜 11 は例えば透明なフッ素系樹脂で形成される。水性樹脂膜 11 も、必要に応じて、例えば 80℃～100℃でフリベークされる。

【0048】

次に、フォトリソグラフィプロセスによって、感光性樹脂膜 10 にコンタクトホールを形成するとともに、水性樹脂膜 11 をパターニングして、開口部を有する水性層 11 (水性樹脂膜と同じ参照符号で示す。) を形成する。

【0049】

ここでは、水性樹脂膜 11 はパターニング用の光を透過する材料で形成されており、感光性樹脂膜 10 を多段階の露光量で感光させる。多段階の露光量で露光するために、ここでは、透過率が 3 つの領域で互いに異なるフォトマスク（例えばスリットマスク）を用いて、照射強度を 3 つの領域で異ならせ、照射時間は各領域で同じにする。なお、フッ素系樹脂を用いると、90%以上の透過率を有する水性樹脂膜 11 を得ることができる。

【0050】

感光性樹脂膜 10 をポジ型の材料で形成した場合、図 6 (a) に示すように、露光用の光（典型的には紫外線）の透過率がほぼゼロ（照射強度 Ia）の領域と、透過率が最高値（照射強度 Ic）の領域と、透過率が中間程度（照射強度 Ib）の領域とを形成するようなフォトマスクを用いて、感光性樹脂膜 10 を露光する。なお、透過率が中間程度とは、透過率が 50%に近いことを意味するのではなく、透過率が最高透過率（ほぼ 100%）と 0%との間にあることを意味する。

【0051】

ポジ型感光性樹脂からなる感光性樹脂膜 10 の照射強度 Ic で露光された領域（完全露光領域）は、感光性樹脂膜 10 の底面まで露光され、現像することによって、感光性樹脂膜 10 を貫くホール（コンタクトホール 10c となる）が形成される。照射強度 Ib で露光された領域（中間露光領域）は、感光性樹脂膜 10 の表面近傍の一部だけが露光されており、現像することによって、表面近傍だけが部分的に除去される（図では簡単のために水性樹脂層 11 だけが除去されたように示している。）。完全露光領域および中間露光領

10

20

30

40

50

域に形成されている。水性樹脂膜11は、現像工程において、それぞれの領域の感光性樹脂膜10が除去される際に、同時に除去される（いわゆる、「リフトオフ」される。）。未露光領域（照射強度I α の領域）では、感光性樹脂層10が除去されないのので、その上の水性樹脂膜11が残存する。

【0052】

水性樹脂膜11は、感光性樹脂膜10を露光するために光に対する透過率が十分に高いこと（好ましくは90%以上）および現像工程において確実にリフトオフされることを考慮すると、その厚さは、2 μ m以下であることが好ましく、1 μ m以下であることがさらに好ましい。

【0053】

次に、感光性樹脂膜10をエッチングレジストとして用いて、画素電極用のコンタクトホール10bの位置でパッシベーション膜9が、端子部用のコンタクトホール10cの位置では、パッシベーション膜9とゲート絶縁膜4とをエッチングする。その結果、図6（ α ）に示すように、コンタクトホール10b内にソース・ドレイン電極7が露出され、端子部用コンタクトホール10c内ではゲート電極用導電層（ゲート配線の延設部）2が露出される。

10

【0054】

このようにして、感光性樹脂膜10にコンタクトホール10bおよび10cが形成されるとともに、感光性樹脂膜10上に親水性領域と水性領域とが所定のパターンに従って形成される。

20

【0055】

ここで、図6（b）および図8を参照しながら、本実施形態によるマトリクス基板の端子領域における親水性領域および水性領域のパターンを説明する。

【0056】

図8に模式的に示したように、本実施形態のマトリクス基板においては、隣り合う端子部（10c）間の距離は例えば60 μ m程度であるが、この端子部間には、水性層11の開口部11a内に親水性の層間絶縁層10の表面が露出した領域（すなわち、親水性領域）と、水性層11が形成された領域11b（すなわち、水性領域）とが形成されている。また、水性層11の開口部11aは隣接する端子部の間に複数設けられており、複数の親水性部（第3親水性部）を形成している。隣接する第3親水性部の間に位置する水性領域11bの幅は30 μ m以下に設定されている。ここでは、図8に模式的に示したように、例えば、約10 μ mに設定する。

30

【0057】

このように親水性領域と水性領域とが配置された基板上に、親水性の塗布型透明導電材料をスピンコート法などで塗布すると、図7（ α ）および（b）に模式的に示すように、画素部および端子部のいずれにおいても、水性層11の開口部11bに対応する親水性領域（コンタクトホール部10bおよび10cを含む）にだけ導電層12が形成され、水性層11上には導電層が形成されない。従って、端子部10cの間でリークや短絡が生じることが防止される。

40

【0058】

親水性の塗布型透明導電材料としては、例えば、蟻酸インジウムと有機酸錫化合物をN、N-ジメチルホルムアミド（DMF）に溶解させた溶液を用いることができる。この溶液の粘度は、1cPで、親水性領域（層間絶縁膜：アクリル系感光性樹脂膜）に対する接触角は約10°で、水性領域（フッ素系樹脂膜）に対する接触角は約30°である。親水性の塗布型透明導電材料は、上記の例に限定されることはなく、特開平11-227740号公報等の開示されたITO粉末を溶剤に分散または溶解した溶液や、特開2001-2954号公報等の開示された蟻酸インジウムと有機酸錫化合物を溶剤に溶解させた溶液等を用いることができる。

【0059】

必要に応じて、塗布型透明導電材料をアニールし、導電層12を形成する。この後、必要

50

に依りて 水性層 11 を除去してもよい。 水性層 12 の除去は例えばアッシングによって行うことができる。

【0060】

なお、本実施形態では、図 8 に示したように、端子部間だけ無く、端子領域のほぼ全面に亘って、画素電極 10 に対応する親水性部（第 1 親水性部）と実質的に同じパターンで親水性部を形成しているが、これに限られず、 水性領域上に導電層が形成されないように、親水性部の大きさや配置を適宜設定すればよい。

【0061】

これに対し、図 11 および図 12 に示す比較例のマトリクス基板では、画素電極 10 および端子部を除く領域の全面に亘って 水性領域（ 水性層 11 ）を形成しているの、図 11（a）および図 12 に示すように、端子領域では幅が 60 μm 以上の 水性領域が存在している。そのため、図 11（b）に示すように画素部では 水性領域上に導電層 12 が形成されることが無いのに対し、端子領域においては、図 11（c）に示すように、端子部間の 水性領域上に導電層 12 が形成されてしまう。これは以下の理由によると考えられる。すなわち、端子領域では、 水性領域の面積が親水性領域の面積よりもあまりにも大きいために、 水性領域によって弾かれた導電性材料（溶液）を親水性領域で保持することができず、 水性領域上にも導電性材料が残存するためと考えられる。

【0062】

尚、本実施形態では感光性樹脂膜から形成された層間絶縁層 10 上に 水性層 11 を形成したので、 水性層 11 はリブとして作用する。層間絶縁層 10 上に 水性層 11 を形成しない、層間絶縁層 11 の表面を選択的に 水性に改質する場合には、層間絶縁層 10 のその領域を予め凸状にしておくことによって、リブとして機能させることができる。

【0063】

上記の例では、 水性層を感光性を有しない樹脂膜を用いて形成したが、 水性と感光性とを有する樹脂層を用いて形成することもできる。例えば、図 10 に示しマトリクス基板を形成することもできる。

【0064】

感光性を有する 水性樹脂膜を形成したあと、上記に実施形態で説明したのと同様に多段階で露光し、画素電極（導電層）に対応する領域に凹部 11a と、画素電極用コンタクトホールに対応する開口部 11b および端子部用コンタクトホール 11c に対応する開口部 11c を形成する。このような構成では、凹部 11a の周囲の 水性層 11 がリブとして機能する。

【0065】

上記の実施形態の多段階露光の工程に用いられるフォトマスクの 15 の構成を図 9 を参照しながら説明する。

【0066】

フォトマスク 15 は、透過部 15A、遮光部 15B およびメッシュ部 15C を備える。一般のフォトマスクでは、透過部 15A のように光の透過量が 100% を目標に形成する部分と、遮光部 15B のように、光の透過量が 0% を目標に形成する部分とを備える。フォトマスク 15 は、さらに透過光量が透過部 15A と遮光部 15B との中間となるメッシュ部 15C を有する。メッシュ部 15C は、例えば、間隔が使用する光の分解能よりも小さいメッシュパターンやスリットパターンで形成する。マスク 15 の透過光量の変化によって、たとえばポジ型のレジストを使用すると、透過部 15A に対応する部分ではレジスト厚さが零で、遮光部 15B に対応する部分でレジスト厚さが最大となり、メッシュ部 15C に対応する部分では透過光量が多くなるとレジスト厚が減少するようなレジストパターン 16 が得られる。ネガ型のレジストを使用することもでき、その場合は透過光量が多くなるとレジスト厚が増加する。

【0067】

なお、上記の実施形態では、層間絶縁層 10 を親水性樹脂を用いて形成し、その上に選択的に 水性層（ 水性領域） 11 を形成したが、これとは逆に、 水性を有する材料を用

10

20

30

40

50

いて層間絶縁層10を形成し、その上に選択的に親水性を有する層（領域）を形成しても良い。ただし、基板との接着性などを考慮すると層間絶縁層は親水性樹脂で形成する方が好ましい。

【0068】

【発明の効果】

本発明によると、簡便な製造プロセスで、端子部間にリークや短絡が発生しない表示装置用のマトリクス基板の製造方法が提供される。

【0069】

本発明によるマトリクス基板の製造方法は、液晶表示装置や有機EL表示装置などに広く適用され、製造コストの低減および／またはスループットの向上をもたらすことができる

10

【図面の簡単な説明】

【図1】本発明による実施形態のアクティブマトリクス基板を模式的に示す平面図である

【図2】(a)～(c)は、本発明による実施形態のアクティブマトリクス基板の一部の製造工程を説明するための模式的な断面図である。

【図3】(a)～(c)は、本発明による実施形態のアクティブマトリクス基板の他の製造工程を説明するための模式的な断面図である。

【図4】(a)～(c)は、本発明による実施形態のアクティブマトリクス基板の他の製造工程を説明するための模式的な断面図である。

20

【図5】(a)～(c)は、本発明による実施形態のアクティブマトリクス基板の他の製造工程を説明するための模式的な断面図である。

【図6】(a)および(b)は、本発明による実施形態のアクティブマトリクス基板の他の製造工程を説明するための模式的な断面図である。

【図7】(a)および(b)は、本発明による実施形態のアクティブマトリクス基板の他の製造工程を説明するための模式的な断面図である。

【図8】本発明による実施形態のアクティブマトリクス基板の製造工程を説明するための模式的な平面図である。

【図9】本発明による実施形態で用いられる多段階露光（ハーフトーン露光）用のフォトマスクの構成を説明するための模式図である。

30

【図10】本発明による他の実施形態のアクティブマトリクスの製造工程を説明するための模式的な断面図である。

【図11】(a)～(c)は、比較例のアクティブマトリクス基板の他の製造工程を説明するための模式的な断面図である。

【図12】比較例のアクティブマトリクス基板の模式的な平面図である。

【符号の説明】

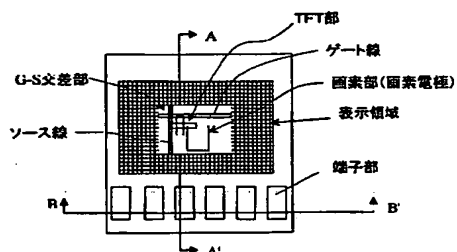
- 1 ガラス基板
- 2 ゲート電極膜
- 3、8、16 レジスト層
- 4 ゲート絶縁膜
- 5 第1半導体層
- 5a チャネル層
- 6 第2半導体層
- 7 ソース・ドレイン電極膜
- 8a 肉薄部
- 9 パッシベーション膜
- 10a、10b 凹所
- 10b コンタクトホール
- 11 水性フッ素系樹脂
- 11b コンタクトホール位置

40

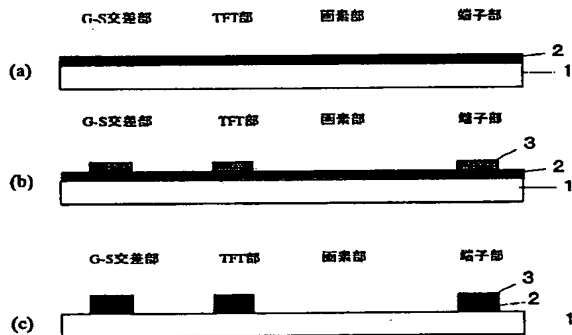
50

- 1 2 導電層 (塗布型透明導電膜)
- 1 4 マトリクス基板
- 1 5 フォトマスク
- 1 5 A 透過部
- 1 5 B 遮光部
- 1 5 C メッシュ部

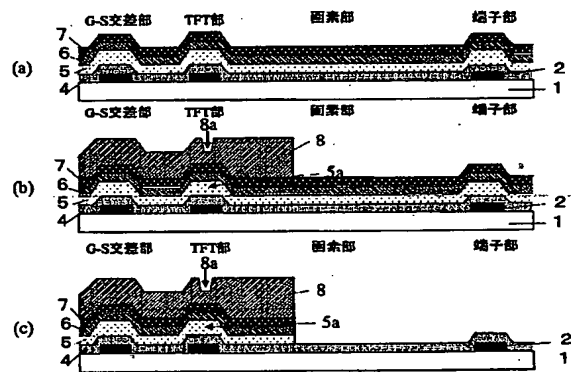
【図 1】



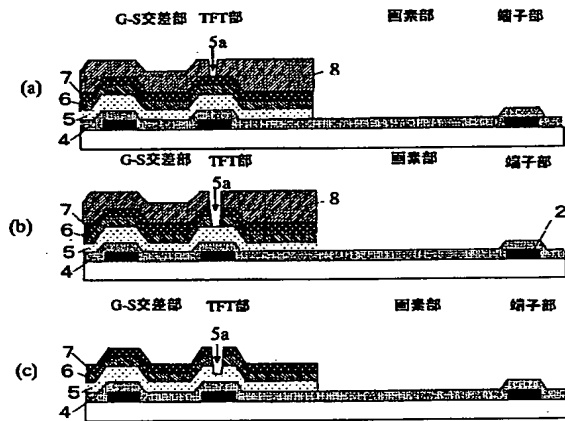
【図 2】



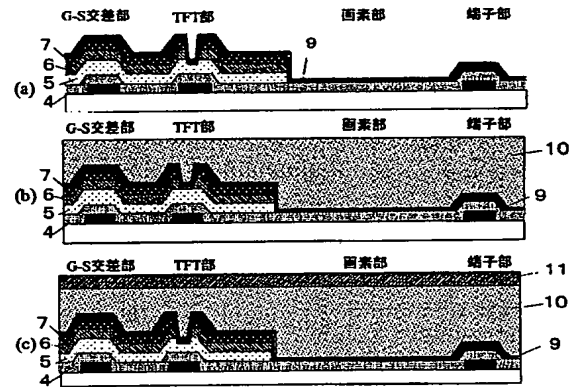
【図 3】



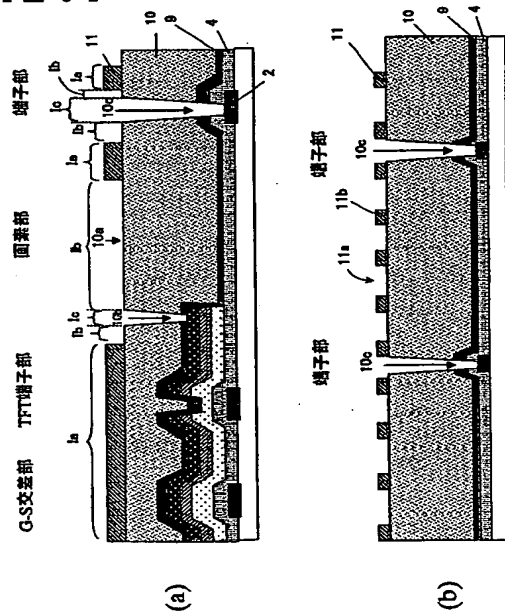
【図4】



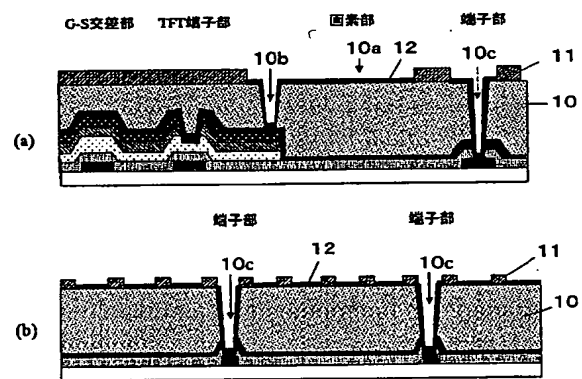
【図5】



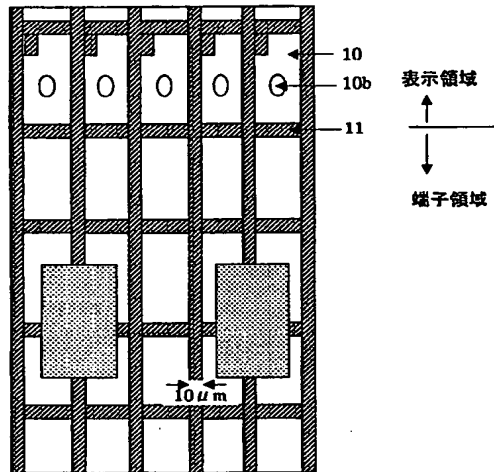
【図6】



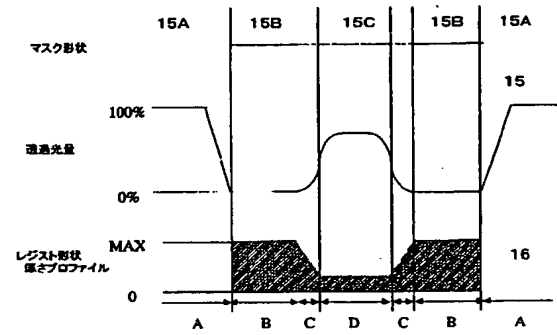
【図7】



【図 8】

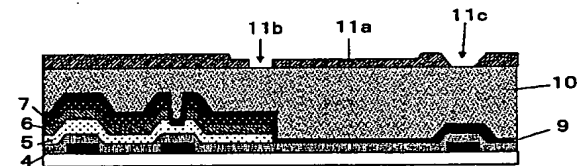


【図 9】

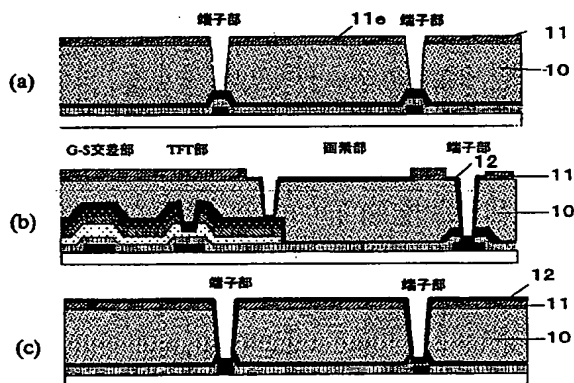


【図 10】

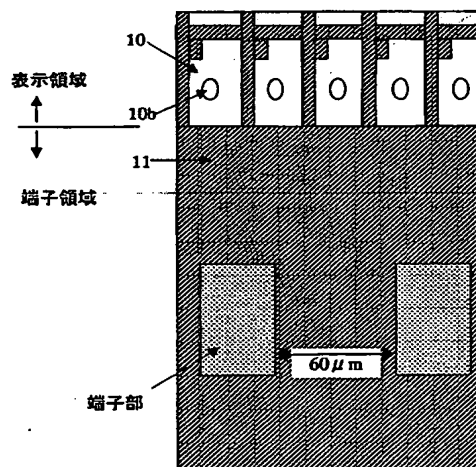
G-S交差部 TFT端子部 画素部 端子部



【図 11】



【図 12】



フロントページの続き

(51)Int. Cl.⁷

F I

テーマコード (参考)

H 0 5 B 33/12

H 0 5 B 33/10

H 0 5 B 33/14

H 0 5 B 33/12

B

H 0 5 B 33/22

H 0 5 B 33/14

A

H 0 5 B 33/22

Z

(72)発明者 中川 智和

大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

Fターム(参考) 2H092 GA29 GA43 JA26 JA46 JB58 KA05 KA10 KA12 KA18 KB22

KB24 KB25 MA04 MA05 MA07 MA10 MA13 MA14 MA17 NA16

NA27

3K007 AB08 AB18 BA06 DB03 EA00 FA00

5C094 AA25 AA31 BA03 BA27 BA43 DA15 DB04 EA04 EA05 FA02

FB15 GB10 HA08 JA08

5G435 AA14 AA16 BB05 BB12 HH20 KK05 LL07 LL08